

XI CONGRESSO DE INICIAÇÃO CIENTÍFICA DO IFSP ITAPETININGA

Itapetininga, 27, 28 e 29 de maio de 2025

Instituto Federal de Educação, Ciência e Tecnologia de São Paulo

Campus Itapetininga

PROJETO E CONSTRUÇÃO DE HARDWARES DE COMUNICAÇÃO EXTERNA PARA APOIO AO PROJETO DE IMPLEMENTAÇÃO DE REDES NEURAIS ARTIFICIAIS EM FPGA

Mariana de Andrade Silva¹ – PIBIFSP/IFSP-SPO

Laila Domingues Simões² – PIVICT/IFSP-SPO

Vinícius de Azevedo Bosso³ - PIBITI/IFSP-SPO

Prof. Dr. Miguel Angelo de Abreu de Sousa⁴ – Orientador/IFSP-SPO

Introdução

Em 1956, a partir de John McCarthy, a definição de “A ciência de criar máquinas inteligentes” (McCarthy, 2007) acabou se consolidando e se popularizando até os dias de hoje em um único termo, a “Inteligência Artificial”. Logo depois, Rich e Knight adaptaram esta definição antiga para “o estudo de como fazer com que os computadores realizem tarefas que, atualmente, os humanos fazem melhor” (Rich e Knight, 1994). As Redes Neurais Artificiais (RNAs) são uma das técnicas mais avançadas em inteligência artificial (Bengio, Lecun e Hinton, 2021). Inspiradas no cérebro humano, as RNAs utilizam camadas de neurônios artificiais para aprender com grandes volumes de dados. São amplamente aplicadas em geração de texto (Brown, Mann et al., 2020) e reconhecimento facial (Kasar, Bhattacharyya e Kim, 2016), otimizando atividades cotidianas.

A Figura 1 representa uma estrutura básica de RNA. Na camada de entrada, os dados são convertidos em valores (como números, pixels de imagem ou palavras), multiplicados por pesos (conexões da Figura 1) e processados por uma função de ativação que decide se o neurônio será ativado. Essa informação é então passada para as camadas seguintes, gerando um resultado na camada de saída.

Uma RNA aprende com exemplos, ou seja, amostras da tarefa a ser realizada contendo entradas e saída desejadas. Após o aprendizado, há a fase de operação, quando a RNA apresenta respostas às novas entradas que lhe são apresentadas. Neste projeto, uma rede do tipo Perceptron Multicamadas – MLP (Haykin, 2007) foi treinada em software para o problema do jogo da velha. Após a fase de aprendizado, a RNA foi implementada em *hardware* para que se pudessem estudar os processos de processamento paralelo

¹ Estudante do curso de Sistemas de Energia Renovável, IFSP – São Paulo/SP: mariana.andrade@aluno.ifsp.edu.br. <https://orcid.org/0009-0003-3052-7890>

² Estudante do curso de Sistemas de Energia Renovável, IFSP – São Paulo/SP: lailadomingues5@gmail.com. <https://orcid.org/0009-0007-9042-3304>

³ Estudante do curso de Eng. de Cont. e Automação, IFSP – São Paulo/SP: viniciusbosso99@gmail.com. <https://orcid.org/0009-0004-9978-4374>

⁴ Professor Doutor do IFSP – São Paulo/SP: angelo@ifsp.edu.br. <https://orcid.org/0000-0001-9056-1095>

XI CONGRESSO DE INICIAÇÃO CIENTÍFICA DO IFSP ITAPETININGA

Itapetininga, 27, 28 e 29 de maio de 2025

Instituto Federal de Educação, Ciência e Tecnologia de São Paulo

Câmpus Itapetininga

diretamente no chip, ao invés de uma simulação sequencial em *software* como é comumente executado⁵.

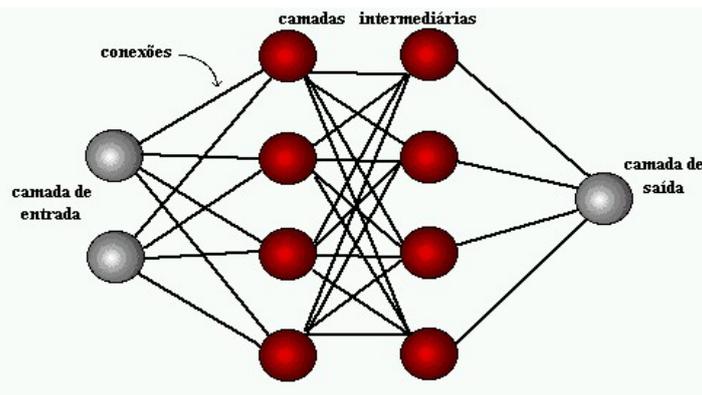


Figura 1: Ilustração dos elementos de processo e conexões de uma rede neural Perceptron Multicamadas. Fonte: <https://sites.icmc.usp.br/andre/research/neural/>

Neste projeto, foi utilizado o FPGA (*Field-Programmable Gate Arrays*), um *hardware* que oferece flexibilidade, eficiência e facilidade de aprimoramento, além de um custo-benefício superior em comparação com outras plataformas (Sousa, 2018). Essas vantagens tornam o FPGA ideal para implementar redes neurais em dispositivos portáteis, atendendo às demandas tecnológicas atuais. O FPGA funciona como um hardware de “computação de borda”. Para a implementação do RNA, no entanto, sua quantidade limitada de entradas e saídas revelou a necessidade de um *hardware* adicional para que as saídas da rede para o jogo específico pudessem ser visualizadas. Para resolver essa limitação, foi desenvolvido um módulo externo com um novo CI (Circuito Integrado) de forma a demultiplexar as informações enviadas pelo FPGA.

Objetivo

O objetivo deste trabalho é criar um *hardware* para comunicação externa com o FPGA. Com base em conhecimentos sobre Inteligência Artificial e Perceptron Multicamadas, adquiridos por meio de pesquisas e estudos, o projeto visa desenvolver e testar um hardware periférico à rede neural integrado ao FPGA para visualização de suas saídas.

Metodologia

A partir de metas pré-estabelecidas, foram iniciadas no primeiro momento as pesquisas referentes à inteligência artificial, redes neurais artificiais (RNAs), FPGA e *hardwares* de comunicação externa, o que possibilitou a escolha e análise de qual CI seria necessário

⁵ Este trabalho faz parte de um projeto maior desenvolvido por um grupo de estudos de projeto de *hardware* especializado para execução de algoritmos de Inteligência Artificial.

XI CONGRESSO DE INICIAÇÃO CIENTÍFICA DO IFSP ITAPETININGA

Itapetininga, 27, 28 e 29 de maio de 2025

Instituto Federal de Educação, Ciência e Tecnologia de São Paulo

Campus Itapetininga

para a realização do projeto. Como a principal função do CI era suprir a quantidade de entradas e saídas necessárias pelo FPGA, foi realizada a escolha do demultiplexer modelo 74LS139/SN74LS139 que supre as necessidades exigidas, pois possui 2 canais de entrada para dois canais de saída (Dual 2-to-4 Demultiplexer). Conseqüentemente, a partir da escolha do CI e da análise do seu datasheet, foi possível realizar os primeiros esboços de como todo o circuito funcionaria. Após os desenhos já pré-definidos, foram iniciados os primeiros testes já na placa de circuito impresso. O CI foi testado de modo contínuo até que os resultados estivessem de acordo com os resultados previamente estipulados teoricamente. Em seguida aos testes realizados na primeira placa, com tamanho menor, o circuito foi transferido para uma placa de tamanho maior, onde foram colocados todos os 5 CI's previamente calculados para um funcionamento integral do circuito, a fim de que os LEDs funcionassem de acordo com a sequência prevista no seu *datasheet* e com o código de entrada enviado ao CI. A figura 2 ilustra os testes feitos na placa menor para a verificação do funcionamento da tabela verdade.

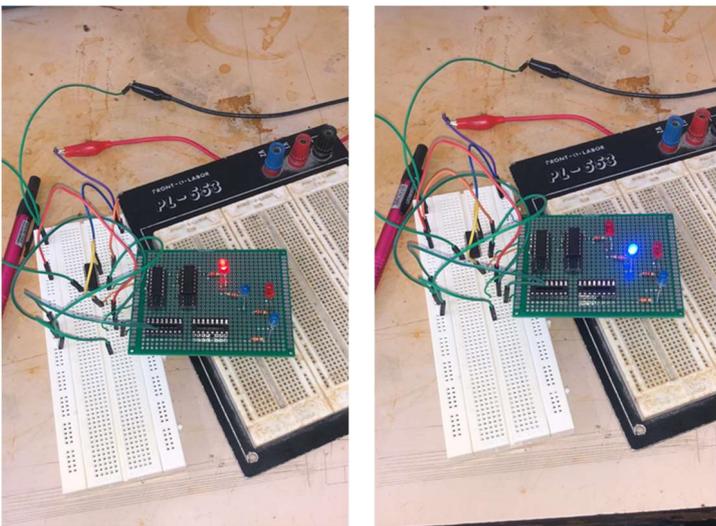


Figura 2: LEDs vermelho e azul ligados separadamente de acordo com o funcionamento da demultiplexador.

Resultados

Assim como havia sido previsto, o CI demultiplexer 74LS139/SN74LS139 se provou capaz de suprir a necessidade do FPGA, já que oferecia a seguinte disposição: 2 entradas para 4 saídas. Além disso, foi verificado que seria necessário a utilização de outro CI, um inversor de modelo CD4069UB, permitindo que as entradas e saídas tivessem sua disposição de sinais semelhantes às necessárias para ligar (sinal 1) ou desligar (sinal 0) os LEDs. Após a verificação da funcionalidade do circuito disposto na placa menor, que possuía apenas 1 CI de cada modelo e 1 LED vermelho e outro azul, esse circuito foi passado para uma placa maior, para que fosse realizado os testes com todos os LEDs e CI's necessários no projeto. A disposição dos CI's na placa foi feita de modo vertical, e seus primeiros testes, utilizando-

XI CONGRESSO DE INICIAÇÃO CIENTÍFICA DO IFSP ITAPETININGA

Itapetininga, 27, 28 e 29 de maio de 2025

Instituto Federal de Educação, Ciência e Tecnologia de São Paulo

Câmpus Itapetininga

se da fonte de tensão de 5V. Ao final dos testes realizados com a fonte, o FPGA foi conectado ao circuito para que os últimos testes fossem realizados. Como resultado final, os LEDs foram ligados de acordo com o previsto pela tabela verdade, sendo possível ligar os LEDs individualmente a partir do sinal enviado pelo FPGA, onde os LEDs vermelhos acenderiam quando o sinal do seletor fosse nível alto (nível 1) e os LEDs azuis quando o sinal fosse baixo (nível 0). Os sinais eram enviados de acordo com a posição das alavancas e dos botões, o botão era responsável pelo sinal enviado pelo seletor e as alavancas eram responsáveis pelos sinais enviados a cada LED individualmente (Figura 3). Na figura 4, é possível notar o funcionamento da placa de acordo com o projeto dos níveis alto e baixo.

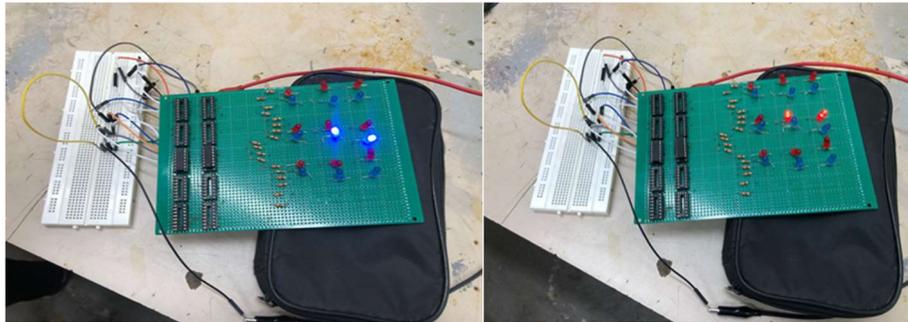
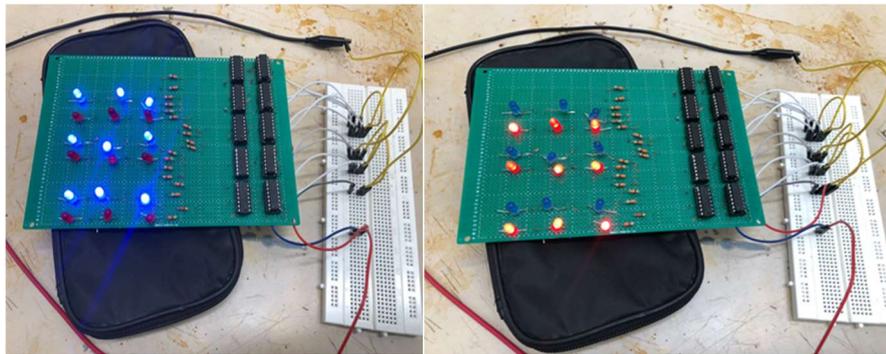


Figura 3: Testes com a placa definitiva para o projeto para verificação do funcionamento dos LEDs relacionados a cada CI.



Figuras 4: LEDs ligados simultaneamente e respectivamente em alto-baixo e baixo-baixo.

Conclusão

O FPGA (Field-Programmable Gate Arrays) oferece alta flexibilidade, baixa latência e eficiência energética, ou seja, atende os requisitos necessários para ser processar algoritmos complexos, como as Redes Neurais Artificiais, em dispositivos portáteis. No entanto, seu desenvolvimento é complexo, exigindo conhecimentos especializados e um alto custo inicial. O projeto teve sua execução realizada com sucesso, pois permitiu que a rede neural artificial implementada em FPGA conseguisse realizar uma comunicação externa de seus estados de funcionamento até o LEDs de visualização pela implementação de um DEMUX (demultiplexador) da informações comunicadas pela rede neural.

XI CONGRESSO DE INICIAÇÃO CIENTÍFICA DO IFSP ITAPETININGA

Itapetininga, 27, 28 e 29 de maio de 2025

Instituto Federal de Educação, Ciência e Tecnologia de São Paulo

Câmpus Itapetininga

Referências

- BENGIO, Yoshua; LECUN, Yann; HINTON, Geoffrey. Deep learning for AI. **Communications of the ACM**, v. 64, n. 7, p. 58-65, 2021.
- BROWN, Tom et al. Language Models are Few-Shot Learners. **Advances in neural information processing systems**, v. 33, p. 1877-1901, 2020.
- HAYKIN, Simon. **Redes neurais: princípios e práticas**. Bookman editora, 2001.
- KASAR, Manisha M.; BHATTACHARYYA, Debnath; KIM, T. H. Face recognition using neural network: a review. **International Journal of Security and Its Applications**, v. 10, n. 3, p. 81-100, 2016.
- McCARTHY, J. **What is artificial intelligence**. 2007. Disponível em: [<https://www.formal.stanford.edu/jmc/whatisai.pdf>].
- RICH, E.; KNIGHT, K. **Inteligência Artificial**. 2 ed. Rio de Janeiro: McGraw-Hill, 1994.
- SOUSA, M. A. A. **Metodologias para desenvolvimento de mapas auto-organizáveis de Kohonen executados em FPGA**. Universidade de São Paulo. [S.l.]. 2018. (Tese de Doutorado).